

# ATELIER 2018

16<sup>ème</sup> Atelier

«ANALYSE ET MÉCANISMES DE DÉFAILLANCE  
DES COMPOSANTS POUR L'ÉLECTRONIQUE »

**Village Club Belambra « Les Tuquets »**  
Seignosse - Hossegor (Landes) - France

**5 juin au 8 juin 2018**

ORGANISE PAR

**anadef**

Association loi 1901

Analyse de défaillance & technologie  
des composants électroniques

[www.anadef.org](http://www.anadef.org)

avec le concours de

**Adera Congrès**  
Orchestration d'excellence

**Mardi 5 juin**

**Session N°1 “ Assemblages et Packaging ”**

14h00-14h05 **Introduction de la session**

Frédéric DULONDEL, SAFRAN Electronics & Defense,  
frederic.dulondel@safrangroup.com

Catherine JEPHOS, DGA Maîtrise de l'Information,  
catherine.jephos@intradef.gouv.fr

Pascal RETAILLEAU, MBDA, pascal.retailleau@mbda-systems.com

14h05-14h25 **Intérêt d'une caractérisation précise des matériaux en vue de la prédiction de la fiabilité des circuits imprimés.**

Sébastien Mercier, Université de Lorraine, sebastien.mercier@univ-lorraine.fr

Lors des dernières années, les technologies PCB ont évolué très rapidement de manière à répondre aux besoins des clients, qui demandent une forte augmentation des densités d'interconnexion. A ce besoin de performances, s'ajoutent des contraintes liées à une plus grande variété de matériaux, et des empilements toujours plus complexes.

L'origine de la défaillance peut être liée à des choix de matériaux. Dans tous les cas, les différences de propriétés entre matériaux, notamment le coefficient d'expansion thermique, font que la durée de la carte va être limitée. De fait, la prédiction de la durée de vie de la carte nécessite une parfaite connaissance des matériaux utilisés. En combinant alors simulations numériques des configurations critiques d'une carte et en alimentant les modèles par une caractérisation fine des matériaux de base (stratifié, cuivre), une aide à la compréhension des causes de défaillance peut être envisagée.

Ces dernières années, le LEM3 (laboratoire d'études des microstructures et de mécanique des matériaux, Université de Lorraine, CNRS) et CIMULEC (fabricant de circuits imprimés) ont développé un fort partenariat en R&D pour travailler sur cette problématique de fiabilité des PCB. Avec le soutien de l'ANR, ils ont créé un laboratoire commun (sans mur) : le LEMCI (<http://labcom-lemci.univ-lorraine.fr/fr/>).

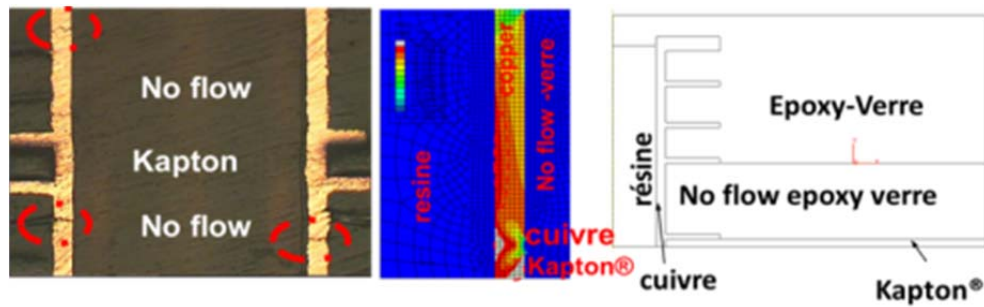
Dans cet exposé, nous allons montrer comment les propriétés des matériaux de base sont caractérisées, en alliant tomographie, microscopie électronique à balayage, essais de tractions à différentes températures et modèle numérique. Il sera montré que les propriétés des matériaux, effectivement utilisés dans le PCB, peuvent être assez éloignées des valeurs issues des data sheets des fournisseurs. Nous illustrerons ce propos en considérant des matériaux PCB dédiés à des applications hyperfréquences [3]. Des résultats du dialogue expérience-numérique pour des circuits flex-rigides [1] et des circuits avec composants enterrés [2] seront aussi discutés.

Références:

[1] SALAHOUELHADJ A., MARTINY M., MERCIER S., BODIN L., MANTEIGAS D., STEPHAN B., Reliability of thermally stressed rigid-flex printed circuit boards for High Density Interconnect applications, *Microelectronics reliability*, 2014, 204-213

[2] KPOBIE W., MARTINY M., MERCIER S., LECHLEITER F., BODIN L., LECAVELIER des ETANGS-LEVALLOIS A., BRIZOUX M., Thermo-mechanical simulation of PCB with embedded components, *Microelectronics reliability*, 2016, 108-130.

[3] GIRARD G., JRAD M., BAHI S., MARTINY M., MERCIER S., BODIN L., NEVO D., DAREYS S., experimental and numerical characterization of thin woven composites used in printed circuit boards for high frequency applications, *Composite structures*, 2018, 140-153



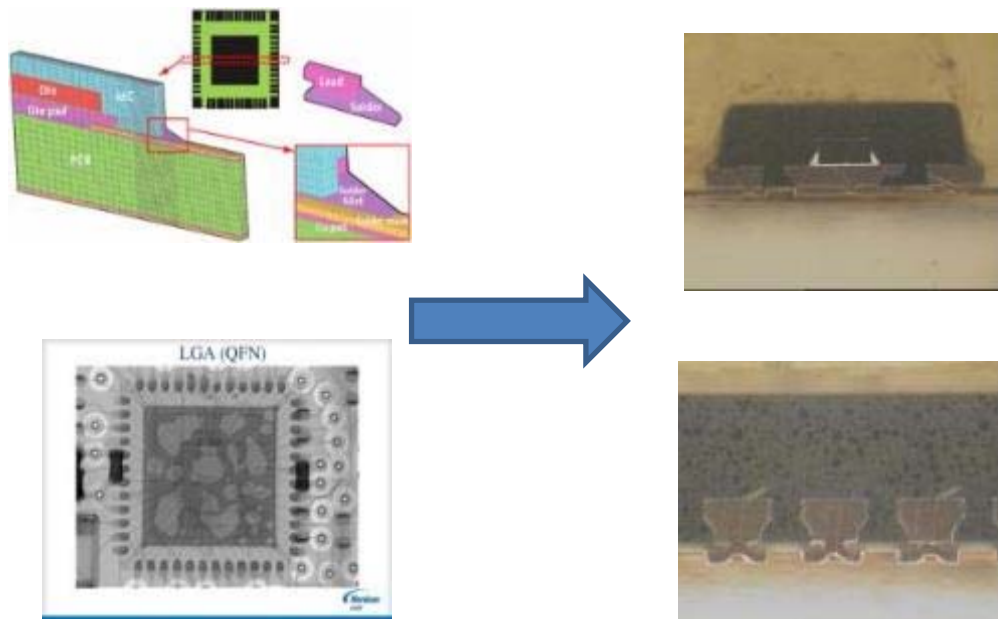
Dialogue Expérience – Simulation sur des structures flex-rigide [1]

14h25-14h45 **L'intégration des composants dans les PCB : une solution pour fiabiliser l'assemblage des QFN ?**

Bernard Ledain, MEREDIT, [bernard.ledain@meredit.fr](mailto:bernard.ledain@meredit.fr)

L'assemblage de composants surfaciques (QFN, LGA,...) sur les cartes imprimées est une opération complexe et qui peut poser des problèmes de fiabilité. Une bonne maîtrise du report par brasure est nécessaire pour éviter les bulles sur les plages thermiques et garantir une hauteur minimale pour encaisser les dilatations différentielles. Un contrôle par rayons X et un underfill sont souvent nécessaires pour garantir la fiabilité en environnements sévères. L'intégration des composants packagés dans un circuit imprimé multicouche pourrait-elle être une solution ?

- Par construction, l'underfill est acquis !
- La brasure du drain thermique est remplacée par des trous métallisés remplis de cuivre directement connectés : plus de problèmes de bulles !



La présentation décrira l'état d'avancement du développement de la technologie dans le cadre du projet Rapid EHDICOS soutenu par la DGA, ses avantages et ses inconvénients.

Les risques identifiés en fiabilité à ce jour seront décrits. Nous décrirons les levées de points durs mises en place pour les limiter.

Cependant, cette nouvelle technologie pourra donner lieu à de nouveaux modes de défaillance, et de nouvelles méthodes de tests et d'analyse pourront être nécessaires. L'ANADEF est sûrement le bon endroit pour amorcer ces réflexions.

14h45-15h05 **Accroissement de la durée de vie des finitions PCB avant assemblage**

Patrice Chetanneau, Safran Electronics & Defense,  
patrice.chetanneau@safrangroup.com

Avant le brasage des composants électroniques sur des circuits imprimés (PCB), il est d'usage de définir une période durant laquelle la brasabilité de la finition du PCB est garantie par son fournisseur. Cette durée de vie est communément de 6 mois pour les finitions telles OSP, Imm Ag et Imm Sn et de 12 mois pour les autres (SnPb et Sn électrolytique et au trempé, ENIG, ENEPIG...). Cette durée de vie vient d'interprétations discutables (et discutées !) de certains standards IPC, sans véritable fondement scientifique.

Pour les industries à faible volume et grande variété (aéronautique et défense notamment), cela peut être extrêmement contraignant, conduisant souvent à des surcoûts ou à des allongements de délais, voire des rebuts, qui semblent évitables en regard de multiples expériences ponctuelles et cohérentes. Le GIE Meredit (groupement de fabricants français de circuits imprimés : groupes Elvia, Cimulec et GTID), certains de ses clients (Safran, Thales, MBDA, Airbus) et partenaires (DGA, MSL, BPIFrance, CNES) ont décidé de s'unir dans un grand plan d'expériences pour valider s'il était possible d'accroître ces durées de vie et sous quelles conditions.

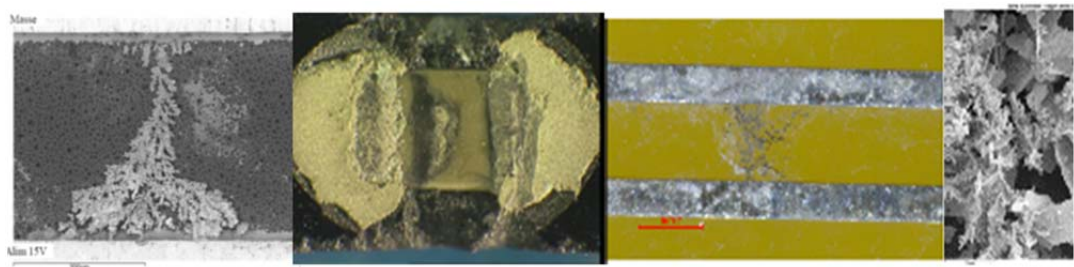
Cette présentation aura pour objectif de partager, dans un intérêt commun, les conclusions positives de cette étude conduisant à un accroissement significatif des durées de vie usuellement définies.

15h05-15h25 **EMC sur PCB : Facteurs influents**

Olivier Alquier, Groupe PSA, olivier.alquier@mpsa.com

La migration électrochimique (ECM) est un couplage électrochimique induit par une ddp présente entre deux conducteurs métalliques séparés par un isolant solide. Elle se manifeste par une corrosion de la partie anodique, une migration des ions métalliques vers la partie cathodique et enfin une réduction des ions métalliques sur la partie cathodique. Elle peut conduire soit à une ouverture du circuit électrique par rupture à l'anode, soit à l'établissement d'une perte d'isolement plus ou moins impédante entre les deux parties métalliques adjacentes. La cinétique d'ECM dépend très fortement du taux d'humidité relative de l'air, de la présence de phases de condensation mais aussi des espèces ioniques conductrices présentes, des ions métalliques générés à l'anode et évidemment de la valeur du champ électrique.

Dans le domaine automobile, l'ECM est un mécanisme de défaillance de plus en plus fréquent en raison de l'utilisation croissante d'organes ou de capteurs électroniques dans des environnements pollués et très humides. Ce phénomène est d'autant plus redouté que d'une part, il peut donner lieu à des dysfonctionnements graves même lorsque le moteur est à l'arrêt, et que d'autre part, sa reproduction par des essais accélérés sur des équipements Électriques / Électroniques (EE) automobiles est complexe.



Les travaux présentés ont permis de mettre en évidence les facteurs ayant une incidence majeure sur l'accélération de la migration sur cartes électroniques et de déterminer les valeurs seuils. Ils ont été réalisés par des essais climatiques dimensionnés et exploités par plans d'expériences. La démarche mise en œuvre permet d'appréhender notamment l'impact de polluants divers (charges de matériaux synthétiques, résidus de lavage, contaminants atmosphériques, ...). Les paramètres cinétiques obtenus seront utilisés pour justifier la sévérité d'essais accélérés de validation de la tenue à la migration dans les cahiers des charges des équipements EE automobiles.

15h25-15h45 **Décohésion intermétallique de joints brasés sur finition SnPb électrolytique refondu**

Patrick Lepoul, Safran Electronics & Defense, [patrick.lepoul@safrangroup.com](mailto:patrick.lepoul@safrangroup.com)

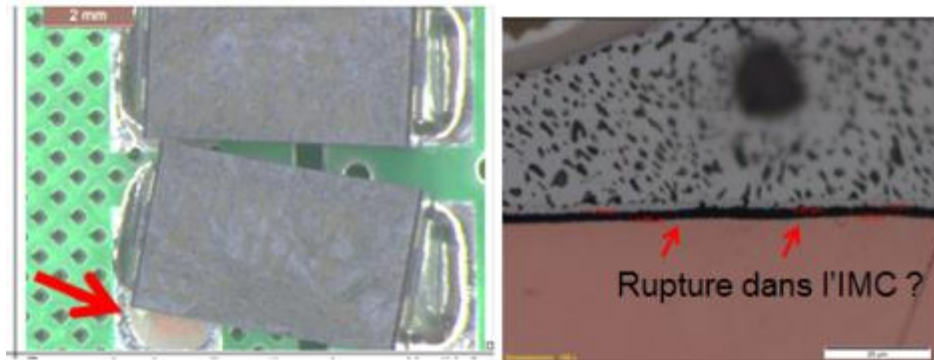
Ce sujet traite d'un problème de décohésions d'intermétalliques de joints brasés, dont la root cause, à notre connaissance, n'a jamais été rencontrée dans la profession.

Cette présentation vous montre, d'une part, le type de défaillance détecté sur les joints brasés (les brasures ayant pourtant un aspect conforme après assemblage),

et d'autre part, les différentes expertises et travaux menés, qui ont permis de déterminer la root cause, imputable au procédé de fabrication du circuit imprimé.

Plusieurs mois auront été nécessaires pour comprendre ce phénomène non commun, conjugaison de plusieurs facteurs, qui ont, dans un mode de fonctionnement bien particulier, engendré des problèmes de tenue des joints brasés dans le temps.

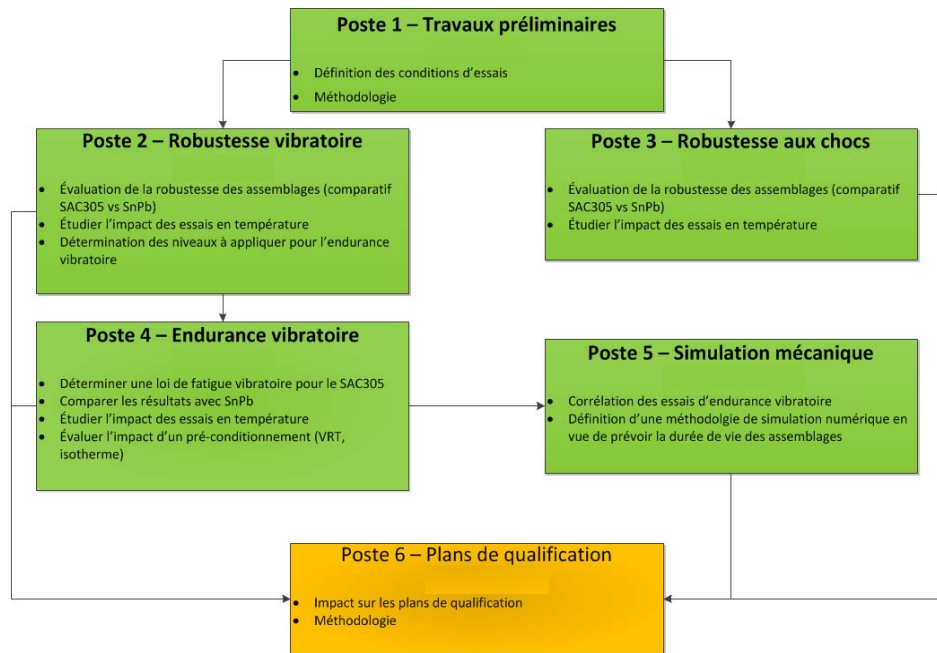
Ce problème a nécessité de nombreuses ressources humaines et matérielles ainsi que la contribution de plusieurs laboratoires d'expertises.



16h15-16h35 **Tenue comparative des assemblages SnPb et SAC305 en environnement sévère, étude COSAC**

Catherine Jephos ([catherine.jephos@intradef.gouv.fr](mailto:catherine.jephos@intradef.gouv.fr)), Frédéric Dulondel ([frederic.dulondel@safrangroup.com](mailto:frederic.dulondel@safrangroup.com)), Pascal Retailleau ([pascal.retailleau@mbda-systems.com](mailto:pascal.retailleau@mbda-systems.com))

Le Plan d'Étude Amont COSAC (**CO**mportement des assemblages « Sans plomb » **SAC** 305 sous contraintes mécaniques) est un projet d'étude qui porte sur la fiabilité des assemblages électroniques sans plomb en environnements sévères. Financé par la DGA et réunissant une équipe multidisciplinaire des groupes MBDA, SAFRAN, THALES et AIRBUS, il a commencé en 2015, et il se terminera dans le courant de l'année 2018. Dans un premier temps, la structure du projet et les objectifs des différents postes seront présentés.



Ensuite, nous verrons quels types de boîtiers ont été utilisés pour réaliser les cartes d'essais, quels moyens ont servi aux tests et quel type de plan d'essais a été suivi. Puis sera fait une synthèse des résultats d'essais, basés sur la comparaison du comportement des alliages SnPb et SAC305, avec l'évaluation de l'effet de la température et du pré conditionnement VRT sur la tenue mécanique des assemblages brasés. La dernière partie de la présentation sera axée sur les résultats des analyses de défaillances réalisées sur les cartes après essais. Nous verrons une comparaison des modes de ruptures entre les différents alliages et des files d'essais. Un focus sera fait sur l'impact du pré conditionnement en vieillissement thermomécanique sur le cheminement des fissurations. Cette partie sera un préambule à la présentation sur l'utilisation de l'EBSM pour l'analyse cristallographique des brasures fissurées (présentation assurée par ELEMCA).

## 16h35-16h55 **Analyse EBSD sur brasures SAC**

Patrick NGUYEN ([patrick.nguyen@elemca.com](mailto:patrick.nguyen@elemca.com)) Romain PETRE-BORDENAVE ([romain.petrebordenave@elemca.com](mailto:romain.petrebordenave@elemca.com)), ELEMCA

La présente étude vise à analyser comparativement l'évolution de la microstructure de brasures SAC et SnPb en réponse à des essais de chocs cycliques. En outre, pour les deux types de brasures, les différents véhicules de tests (sous forme de BGA) auront chacun subi au préalable un nombre croissant de cycles thermiques, l'objectif étant d'établir une possible corrélation entre leur résistance aux essais mécaniques avec l'ampleur des traitements thermiques.

La diffraction des électrons rétrodiffusés ou Electron Backscatter Diffraction (EBSD) été utilisée comme principal moyen d'investigation. Cette technique d'analyse repose sur la détermination des orientations cristallographiques locales d'un matériau par l'indexation des diagrammes de diffraction formés par les électrons rétrodiffusés par ce matériau. Mise en œuvre dans un MEB, le faisceau électronique est utilisé comme une sonde permettant de recueillir les clichés de diffraction en différents points d'un matériau. Selon le nombre, les dimensions et le positionnement relatifs des différentes bandes de Kikuchi apparaissant sur chaque cliché de diffraction, il est possible d'identifier en chaque point de mesure, la nature du matériau, son orientation

cristallographique, les déformations locales, etc. Ainsi, en pilotant le faisceau d'électrons sur une certaine surface, il est possible d'obtenir une cartographie quantitative de la microstructure sur tout matériau cristallin.

Dans notre cas d'étude, les principales données comparées sont la répartition des phases cristallines présentes dans les brasures, les statistiques de tailles de grains, la texture cristallographique de ces grains, la répartition angulaire et spatiale des joints de grains et joints de macles ainsi que la localisation des champs de déformation locaux. Pour chaque véhicule de test, les cartographies EBSD ont été réalisées sur une bille parmi les plus affectées thermo mécaniquement. L'ensemble de ces données permet notamment de se rendre compte de la présence et de l'étendue des zones recristallisées situées au voisinage des fissures dans les billes.

16h55-17h15 **Aperçu des nouvelles technologies packaging & risques potentiels de défaillance associés**

Arnaud Grivon, Thales Global Services, [arnaud.grivon@thalesgroup.com](mailto:arnaud.grivon@thalesgroup.com)

Les technologies de fabrication et d'encapsulation de semi-conducteurs ne cessent de progresser pour continuer à miniaturiser et améliorer les performances fonctionnelles des composants et systèmes électroniques. Ces progrès techniques permanents sont avant tout tirés par les applications grand public portables et peuvent facilement s'apprécier au gré des différentes générations de smartphones toujours plus compacts et performants.

Ces dernières années ont été marquées par une forte accélération de ces évolutions technologiques, notamment avec l'essor de technologies 2.5D/3D qui permettent de concentrer un maximum de fonctions hétérogènes dans des modules ultra-denses de type SiP (System-in-Package) : boîtiers BGA PoP (Package-on-Package), interposeurs Si avec TSV (Through Silicon Vias)...

Toutes ces transformations des approches de densification des composants et systèmes électroniques peuvent potentiellement profiter aux applications aéronautiques embarquées qui partagent les mêmes besoins de miniaturisation et de performances, mais avec des exigences de fiabilité et de tenue en environnements sévères sans commune mesure avec un profil de mission de smartphone.

Les nouvelles technologies haute-densité étant incontournables, de plus en plus de questions se posent vis-à-vis des risques fiabilité et les modes de défaillance liés à leur utilisation dans des cartes électroniques aéronautiques embarquées.

La présentation s'attachera à donner un aperçu des dernières évolutions en matière de composants et technologies haute-densité puis évoquera les risques et modes de défaillance potentiels induits.

Un point similaire avait été fait en 2012, ce qui permettra de mesurer l'importance des changements qui sont intervenus en l'espace de 6 ans.

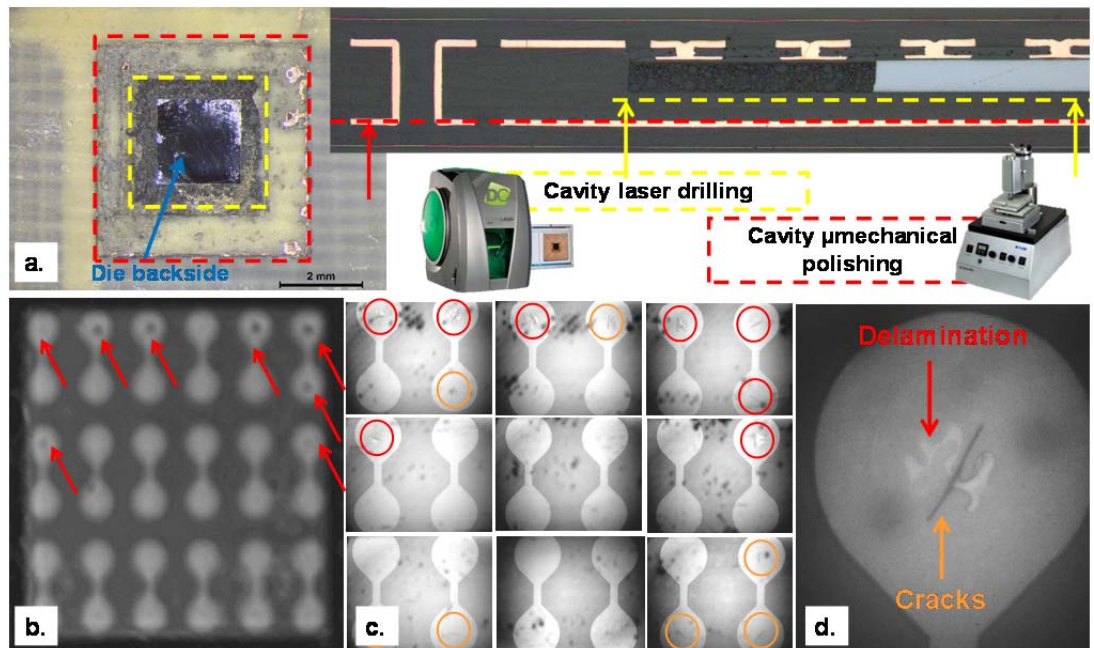
17h15-17h35 **Méthodologie d'analyse de puces enfouies dans le PCB**

Julien Perraud, Thales Research & Technology, [julien.perraud@thalesgroup.com](mailto:julien.perraud@thalesgroup.com)

Avec l'essoufflement de la loi de Moore, la densification vient maintenant également du packaging qui se montre de plus en plus innovant et complexe. Les nouvelles générations de substrat PCB embarquent des composants passifs enfouis mais aussi des puces nues ou en WLP. Les outils et méthodes utilisées, jusque-là, pour qualifier ou caractériser les PCB doivent évoluer.

Cette présentation introduira quelques exemples d'analyse de composants enfouis dans le PCB et plus particulièrement la méthodologie d'analyse développée dans le cadre du projet FP7-SEC UNSETH. Afin d'analyser de manière détaillée les couches en face avant des puces enfouies, nous avons dû ouvrir localement le PCB jusqu'à la face arrière des puces pour pouvoir procéder

à une analyse par tomographie acoustique et une observation infra-rouge à travers les puces. Ceci a permis d'avoir une vue globale des défauts présents dans le diélectrique en surface des puces, et pas seulement, sur un axe comme vus en micro-sections jusqu'alors.



Exemples (a) d'ouverture dans le PCB, (b) d'image par tomographie acoustique, (c) d'observation IR, (d) de défaut : fissure et délamination

## 17h35-17h55 Boîtiers WLCSP et ses défauts physiques

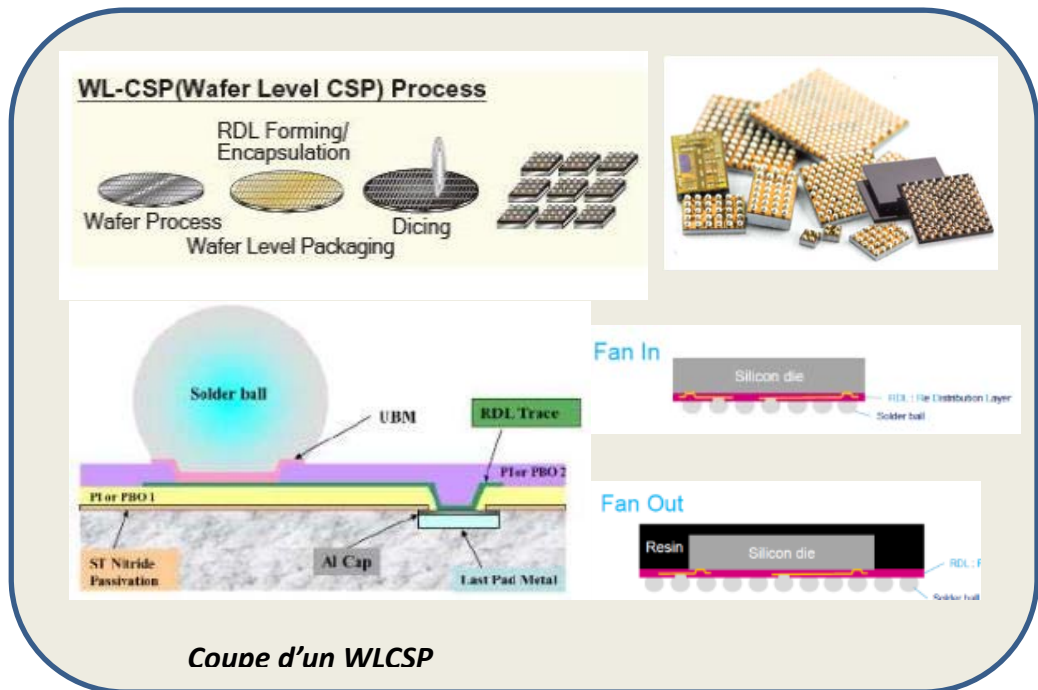
Delphine Guilet, ST Microelectronics, [delphine.guilet@st.com](mailto:delphine.guilet@st.com)

ST Microelectronics dispose d'un standard pour l'assemblage de puces en boîtier WLCSP (boîtier à puces encapsulé sur tranche de silicium). WLCSP est une technologie d'assemblage de circuits intégrés directement au niveau de la plaquette de silicium comprenant un routage encapsulé dans des polymères jusqu'à des billes de soudure. Cette technologie remplace la technique traditionnelle d'assemblage de chaque puce après découpe sur la tranche de silicium.

Son principal avantage est sa petite taille. En effet celle-ci correspond à la taille de la puce. Ce qui est notamment très apprécié dans les applications des téléphones mobiles.

Nous vous présenterons le principe de fabrication des boîtiers WLCSP, la méthodologie d'analyses ainsi que les défauts typiques observés dans ce type de boîtiers.





**Mercredi 6 juin**

**Session N°2 “ Analyse de défaillance des circuits VLSI ”**

10h30-10h35 **Introduction de la session**

Suzel LAVAGNE, Thales Com. & Security,  
[suzel.lavagne@thalesgroup.com](mailto:suzel.lavagne@thalesgroup.com),  
 Guillaume BASCOUL, CNES, [guillaume.bascoul@cnes.fr](mailto:guillaume.bascoul@cnes.fr),  
 Gérald HALLER, ST Microelectronics, [gerald.haller@st.com](mailto:gerald.haller@st.com)

10h35-11h05 **L'apport du contrôle global et local de la température dans l'analyse de défaillance**

Julien Goxe, NXP, [julien.goxe@nxp.com](mailto:julien.goxe@nxp.com)

Le but de cette présentation est de détailler les bénéfices apportés par le contrôle global et/ou local de la température pour l'analyse de défaillance réalisée dans le cadre du développement de nouvelles technologies ou de nouveaux produits, de l'amélioration du rendement ou de la gestion des retours clients.

Les composants électroniques utilisés dans l'industrie automobile doivent être à même de fonctionner sur une large gamme de température (AECQ100, grade 0 : -40°C / +150°C). Un composant peut être défaillant dans une certaine gamme de température tout en répondant à la spécification dans une autre gamme. Le plus souvent, une analyse de défaillance repose sur un « set up » permettant de reproduire la défaillance, la température globale du composant étant un des paramètres non électriques parmi les plus importants. C'est pourquoi, un système a été développé afin de contrôler cette température, permettant ainsi d'utiliser les techniques communément utilisées en analyse de défaillance (TLS, PEM,  $\mu$ probing) à la température désirée, aussi bien à haute qu'à basse température.

Outre cette capacité à analyser des défauts inactifs à température ambiante, ce système de gestion de la température globale associé à la stimulation par laser thermique apporte une flexibilité permettant l'utilisation de techniques SDL (Soft Defect Localization).

Plusieurs cas d'études seront exposés afin de démontrer les bénéfices en termes

de taux de succès et de temps d'analyse. Un cas d'étude concernant le rééquilibrage d'un miroir de courant défaillant à basse température sera détaillé. Un autre cas d'étude montrera l'apport d'une stimulation thermique ciblée dans la compréhension d'un mécanisme de défaillance impliquant des phénomènes thermiques.

11h05-11h35 **Analyse de défauts fonctionnels sur composants mémoires en mode boîte noire par un end-user et son laboratoire d'expertise**

Gérald Guibaud, Thales Com & Security, [gerald.guibaud@thalesgroup.com](mailto:gerald.guibaud@thalesgroup.com),  
Nicolas Fiant, 3D Plus, [nfiant@3D-plus.com](mailto:nfiant@3D-plus.com)

Les composants mémoires (Flash, SDRAM, MRAM...) sont de plus en plus intégrés, rapides, et complexes à émuler et analyser. L'analyse de défaillance de défauts fonctionnels sur ces types de composants par un end-user en mode boîte noire (sans aucune connaissance du design du composant) s'avère des plus compliquée à mettre en œuvre : nécessité de combiner de façon dynamique un testeur automatisé (ATE) performant avec des moyens de localisation de défaut de dernière génération (TriPhemos, LIT) pour tenter d'une part de comprendre l'architecture du tableau mémoire (descrambling physique) et d'autre part localiser la position du défaut ou du moins des conséquences visibles. La préparation d'échantillon est comme souvent une étape indispensable à maîtriser et dans ces cas d'étude délicate à finaliser notamment parce qu'il faut accéder à la puce (face avant ou face arrière) tout en pouvant utiliser un socket/carte de test sur le testeur électrique sans perdre la fonctionnalité du composant.

Cette présentation présentera deux cas d'études aux réussites finales opposées : le premier concerne un retour client de module SRAM présentant un défaut d'écriture/lecture survenu lors du chargement du logiciel dans la RAM pour lequel le descrambling, la localisation de défaut et l'analyse physique ont permis de trouver la cause racine de la défaillance, le second cas concerne une mémoire plus complexe de type DDR1 présentant des défauts fonctionnels après burn-in sur laquelle le descrambling sera en partie mené mais avec une localisation de défaut ne révélant que les conséquences du défaut et non le défaut lui-même. Nous montrerons que sur ces composants mémoires plus complexes, sans les données de design de la mémoire, le coût d'une telle analyse de défaillance devient trop important en regard des chances de réussite de l'analyse.

11h35-12h05 **Améliorer les résultats des analyses de défaillance en exploitant les forces du 3D et de la technique du « slice and view »**

Pascal Salome, Serma, [p.salome@serma.com](mailto:p.salome@serma.com),  
Karine Rousseau, Serma, [k.rousseau@serma.com](mailto:k.rousseau@serma.com)

Les progrès considérables dans l'avancée du marché des semiconducteurs conduisent à des technologies aux dimensions de plus en plus réduites. Ces nouvelles technologies requièrent aussi de plus en plus l'utilisation de nouveaux matériaux afin d'obtenir les performances électriques désirées par les circuits. Sans prendre en considération ses deux facteurs et sans l'utilisation de techniques adéquates, la conduite d'un projet d'analyse de défaillance peut conduire à des conclusions erronées. Seule une préparation irréprochable de l'échantillon peut révéler la nature de sa défaillance. La technique du « slice and view » 3D a été introduite récemment dans les laboratoires d'analyse et se révèle être un atout précieux pour dynamiser et sécuriser le déroulement d'une étude. Durant cette présentation nous expliquerons cette nouvelle méthode d'analyse, discuterons des limites identifiées à ce jour et montrerons les bénéfices de cette méthodes au travers la revue de différents cas.

## Mercredi 6 juin

### Session N°3 “ Analyse de défaillance des composants opto-électroniques ”

#### 14h00-14h05 **Introduction de la session**

Gérald GUIBAUD, THALES SIX France,  
gerald.guibaud@thalesgroup.com  
Claire VACHER, ULIS, [c.vacher@ulis-ir.com](mailto:c.vacher@ulis-ir.com)

#### 14h05-14h35 **Analyse de défaillance sur LEDs de puissance intégrées dans un lampadaire autonome**

Y.Deshayes, IMS, [yannick.deshayes@ims-bordeaux.fr](mailto:yannick.deshayes@ims-bordeaux.fr).  
R.Baillet, Sunna Design.

La connaissance précise du temps à la défaillance et la fiabilité à long terme de dispositifs à LEDs pour l'éclairage autonome est l'un des principaux objectifs actuels des fabricants et assembleurs de dispositifs optoélectroniques. Pour évaluer ce défi, même pour les assemblages complexes, le contrôle du processus, la conception et les solutions technologiques doivent être optimisées pour garantir un minimum de défauts pendant la durée de vie. L'évaluation de la fiabilité doit évoluer à partir des tests accélérés classiques de dispositifs optoélectroniques, vers l'utilisation des lois plus complexes en particulier basé sur la physique de défaillance et en tenant compte de la dispersion paramétrique du procédé de fabrication. Pour comprendre et bien simuler les lois de dégradation, il est nécessaire d'identifier et de comprendre les mécanismes de défaillance des composants complexes en fonction des puces LED. La première étape de cette étude est la pré-localisation des défauts dans la structure. Les analyses électro-optiques ont été intensivement utilisées pour prédéfinir les zones dégradées. Dans cet article, le profil de mission sévère ( $T_j > 85^\circ\text{C}$  – ON/OFF 10h/14h –  $I_{\text{nom}} = 300\text{mA}$ ) et durée de vie supérieure à 10 ans nécessitent une étude de fiabilité approfondie avec un critère de défaillance L70. Des analyses électro-optiques très fines ont permis de déterminer la zone dégradée au sein du composant intégré dans son dispositif final.

#### 14h35-15h05 **Analyse de défaillance sur LED pour capteur optoélectronique automobile**

C.Simphor, TE CONNECTIVITY, [cedric.simphor@te.com](mailto:cedric.simphor@te.com)

L'étude présentée portera sur un boîtier époxy contenant 5 LEDs NIR de longueur d'onde différentes utilisées pour un capteur automobile. Les LEDs sont reportées sur un lead frame (matrice Cu/Ag).

3 modes distincts de défaillances entraînant la perte d'émission d'au moins une LED sont identifiés :

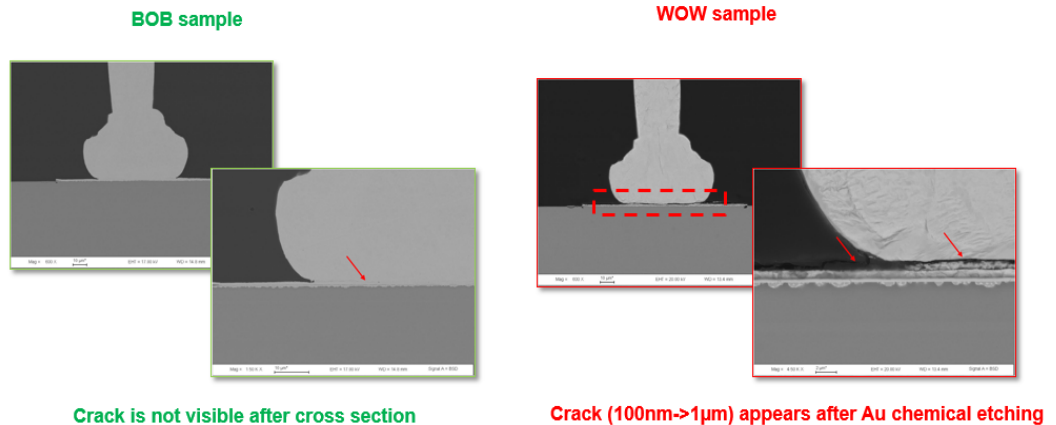
- Délamination entre la colle argent et le lead frame
- Délamination du Stitch bonding sur lead frame
- Délamination du Ball bonding sur électrode Au de la LED

Ce dernier mode sera le cas d'étude de la présentation. Nous souhaitons ici présenter la difficulté d'observer un crack par méthode de polissage classique sur des interfaces tendres type Au/Au. Les effets de « beurrage » engendrés par des interfaces tendres peuvent engendrer des erreurs d'interprétation.

Nous confronterons donc deux méthodes afin d'évaluer la qualité du contact électrique Au/Au:

L'attaque chimique de l'Au directement sur la cross section

Le polissage ionique par FIB Plasma



15h05-15h35 **Analyse de défaillance sur stack de diodes laser de puissance pour application spatiale**

G.Thin, INTRASPEC, [guillaume.thin@intraspec.com](mailto:guillaume.thin@intraspec.com),

F.Bourcier, CNES, [Frederic.Bourcier@cnes.fr](mailto:Frederic.Bourcier@cnes.fr),

H.Moisan, Quantel

La technologie du stack de diodes laser utilisée pour le pompage optique de l'instrument d'analyse Supercam permet d'atteindre les très fortes exigences de performances et de fiabilité de la mission. Nous étudierons dans cette présentation les résultats de l'analyse de construction validant la robustesse technologique du composant réalisée par la société Quantel. Nous analyserons également des COD (Catastrophical Optical Damage) avec différents moyens d'analyse et démontrerons la résilience de ce composant à ce phénomène intrinsèque à la technologie AsGa.

15h35-16h00

**Pause café**

16h00-16h30 **Analyse de défaillance sur diode laser**

M.Gleizes, MBDA SYSTEMS, [matthieu.gleizes@mbda-systems.com](mailto:matthieu.gleizes@mbda-systems.com)

La présentation traite de 2 types de défaut observés sur des diodes laser pulsées InGaAs 905nm en boîtier TO-18.

Le symptôme (commun au défaut) est une baisse de puissance optique au

cours du temps. Ces défaillances sont dues à des erreurs de process de fabrication et sont apparus après plusieurs années d'utilisation des composants (principalement stockage).

Le premier cas est un mauvais process de brasage des puces. La faible température de liquidus de la brasure Indium et des réglages de température trop importants, ont entraîné la diffusion de la brasure par capillarité sur la plage de report. Le résultat est une épaisseur de brasure sous puce peu importante et un effet de porte à faux dû à la géométrie du support. Lors du câblage, la pression de l'opération de ball bonding sur la puce (6 fils) entraîne des amorces de fissuration dans la puce. Avec le temps et les contraintes thermo mécaniques, les fissures se propagent dans la zone active entraînant une baisse de puissance pouvant être totale.

Le deuxième type de défaut est dû à l'opération de fermeture des boîtiers mal contrôlée. De l'humidité se retrouve dans la cavité et finit par corroder la face avant de la diode. Comme pour le cas précédent, la puissance de la diode diminue au court du temps jusqu'à mettre le système en défaut.

16h30-17h00 **Analyse de défaillance sur PhotoMultiplicateur tube pour applications spatiales**

K.Kiryukhina, G.Perez, CNES, [Kateryna.Kiryukhina@cnes.fr](mailto:Kateryna.Kiryukhina@cnes.fr),  
[guy.perez@cnes.fr](mailto:guy.perez@cnes.fr)

Dans le cadre d'applications scientifiques spatiales, des composants spécifiques sont utilisés pour des applications de détection. Cette présentation aborde des cas de défaillance et la défiabilisation de ces composants, disponibles uniquement en grade commercial, non conçus pour l'environnement spatial notamment en termes de vibrations, chocs et environnement radiatif.

Ainsi, des photomultiplicateurs ont été utilisés pour la détection de photons sur un instrument scientifique.

La structure interne de ces composants, très sensible par design à un stress vibratoire, est illustrée sur la Fig. 1.

Une approche d'upscreening, associée à l'adaptation au profil mission vu par le composant avait été mise en place garantir un choix fiable pour les modèles de vol.

Des tests de caractérisation électrique élémentaires ont été développés dans l'objectif de tracer la bonne santé avant et après essais, ainsi qu'au cours des différentes phases d'expertise.

Le changement de couleur de la photocathode a dans certains cas pu être utilisé comme un détecteur simple de la perte d'herméticité du composant.

La sensibilité au magnétisme résiduel, et au stress thermomécanique lors du couplage de photomultiplicateurs avec un cristal scintillateur, ont également été adressées.

Des exemples d'un détecteur de rayons X en configuration matrice et d'un détecteur d'électrons seront également présentés.

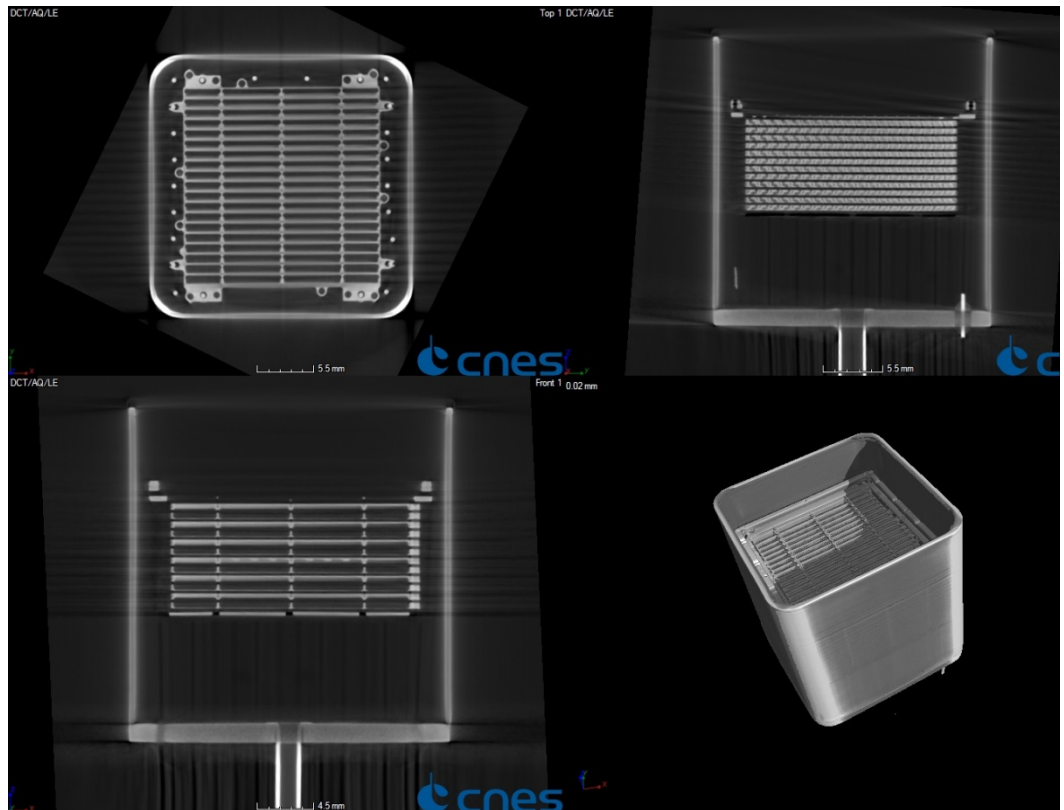


Fig. 1 Structure interne d'un photomultiplicateur en défaut après essais de vibrations observée par tomographie X

17h00-17h30

### **Applications de l'analyse de défaillance pour les capteurs photoniques chez STMicroelectronics**

M.Quinaud, STM Grenoble, [manuelle.quinaud@st.com](mailto:manuelle.quinaud@st.com)

La microélectronique offre des solutions très intéressantes en termes de capteurs d'image pour des applications très variées. Dans le spectre visible, on retrouve classiquement des caméras et capteurs de lumière ambiante. Aujourd'hui, de nouveaux capteurs dans les longueurs d'onde Infra Rouge permettent une mesure de distance précise et indépendante de la cible. Ils ouvrent la voie du 3D sensing qui se développe très rapidement. Pour améliorer l'efficacité de la collecte des photons ainsi que la compacité des puces, des architectures particulières sont maintenant utilisées. Celles-ci diminuent néanmoins l'accessibilité de la zone active. En conséquence, de nouvelles approches pour l'analyse de défaillance doivent être développées.

Les cas d'analyse de défaillance rencontrés chez St Microelectronics proviennent soit de rejets lors des tests de fiabilité, soit de retours clients, ou bien encore dans le cadre d'amélioration de rendement ou pendant la phase de développement pour la localisation d'un défaut de conception.

Après avoir présenté quelques essais de fiabilité adaptés à ces produits nous présenterons plus en détail la technologie BSI et les défis associés pour l'analyse de défaillance. Enfin nous détaillerons un cas précis de rejet de fiabilité.

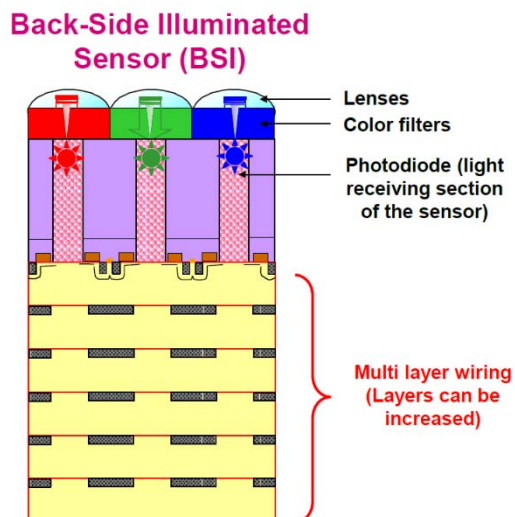


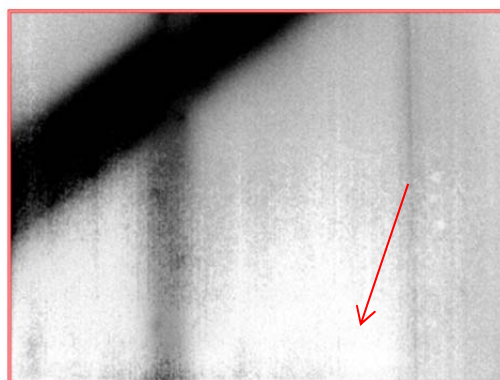
Fig1: Schéma d'une technologie Back Side Illumination (BSI)

17h30-18h00 **Impact des « sauts » d'INL d'un ADC sur la qualité d'image d'un capteur IR**

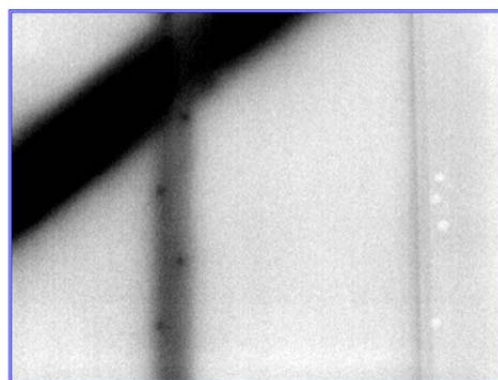
C.Vacher, ULIS, [c.vacher@ulis-ir.com](mailto:c.vacher@ulis-ir.com)

La qualité d'image d'un imageur IR est un paramètre complexe à quantifier et donc à définir. En effet, elle dépend à la fois de la perception de l'œil humain qui lui-même est amené à varier selon les individus mais également des paramètres de calibration choisis par l'intégrateur du détecteur dans la caméra. Aujourd'hui, différents algorithmes de corrections permettent d'améliorer la qualité d'image et par conséquent, l'œil humain devient sensible à des artefacts de faible amplitude pouvant parfois être proche du bruit technologique du capteur. Nous nous attarderons dans cette présentation à un cas particulier d'artefact visible à l'image dont l'origine fonctionnelle provient de « sauts » d'INL dans l'ADC. Nous partirons de l'observation du défaut sur l'image pour ensuite détailler le processus de caractérisation du phénomène de « saut » d'INL. Nous nous poserons la question des paramètres à caractériser ainsi que des limites des critères à fixer pour valider l'impact sur la qualité d'image visible par l'œil humain.

**Comment définir le défaut?**



*Image thermique avec un composant (sortie numérique) présentant le défaut d'image.*



*Image thermique sans défaut d'image*

**Jeudi 7 juin**

**Session N°4 “ Caractérisations et mesures thermiques ”**

8h30-8h35 **Introduction de la session**

Diane ECOIFFIER, INSIDIX, [diane.ecoiffier@insidix.com](mailto:diane.ecoiffier@insidix.com)

Antoine REVERDY, Sector Technologies, [antoine.reverdy@sector-technologies.com](mailto:antoine.reverdy@sector-technologies.com)

Kevin SANCHEZ, CNES, [kevin.sanchez@cnes.fr](mailto:kevin.sanchez@cnes.fr)

8h35-9h05 **Utilisation de la mesure thermique pour localiser des défauts sur composant électronique : La Thermographie Infrarouge Active**

Jean-Baptiste BLUMENFELD – Cécile PLOUZEAU, RENAULT SAS, [jean-baptiste.blumenfeld@renault.com](mailto:jean-baptiste.blumenfeld@renault.com)

Depuis plusieurs années, la thermographie infrarouge active est utilisée par RENAULT en mécanique des matériaux. L'application de la thermographie infrarouge est aussi connue sous la dénomination de thermo-élasticimétrie. La technique s'appuie sur les principes de la thermodynamique qui traduit que toute variation de volume ou déformation cyclique d'un matériau s'accompagne de variations de températures cycliques de quelques millidegrés celcius.

Cette technique est aussi communément appelée thermographie à démodulation synchrone. Elle est appliquée aussi dans le domaine de l'électronique, l'excitation n'est plus dans ce cas d'origine mécanique, mais électrique. Les défauts de type résistif se caractérisent par une augmentation ponctuelle de la température (puissance dissipée). Dans l'analyse de défaillance, les défauts sont caractérisés par une puissance dissipée, pouvant être très faible, de quelques mW. Cela demande une sensibilité thermique au-dessous de 0,1°C.

La thermographie par la détection synchrone permet de s'approcher de cette sensibilité et de filtrer les variations de températures plus lentes, liées à la conduction et potentiellement masquant le défaut.

Nous vous proposons de partager un cas d'étude pour lequel la thermographie infrarouge active a été déterminante pour identifier les causes racines, lors d'une campagne d'expertises sur un type de composant électronique défaillant.

9h05-9h35 **Apport de la Lock-in Thermographie I.R. pour le debug de design d'ASIC analogique pour application spatiale**

Gerald Guibaud, Thales Communications & Security, [gerald.guibaud@thalesgroup.com](mailto:gerald.guibaud@thalesgroup.com)

Le design d'ASIC (Application-Specific Integrated Circuit, littéralement « circuit intégré propre à une application ») analogique est un travail plus long et plus complexe que le design d'ASIC numérique, notamment sur la résolution des bugs qui sont souvent nombreux. De plus, pour une application spatiale le design doit être robuste aux radiations.

Dans le cas de cette communication nous présenterons le cas d'un ASIC analogique au défaut de surconsommation sur une de ses deux alimentations révélé après un essai d'irradiation TID (Total Ionizing Dose). Nous montrerons comment la lock-in thermographie IR s'avère très utile dans la phase de debug design : après des recherches théoriques menées par les designers pour trier et localiser les blocs dont l'architecture était potentiellement incriminée, le LIT confirmera que l'échauffement est bien localisé dans ces blocs suspects et donnera une image de l'information sur la répartition de la surconsommation entre ces différents blocs, la majorité de celle-ci étant dans les protections ESD et peu dans le cœur de l'ASIC.

Nous expliquerons comment le LIT a permis de converger plus facilement qu'une



étape de modification de circuit par FIB (FIB circuit edit) vers la cause racine de cette surconsommation et quelles corrections du circuit ont pu être mises en place pour la résolution du problème.

9h35-10h00 **Caractérisation de l'efficacité du refroidissement des puces de puissance**

Denis Blachier, CEA, [denis.blachier@cea.fr](mailto:denis.blachier@cea.fr)

Nous proposons une méthode de caractérisation de l'efficacité du refroidissement des puces de puissance facilitant la comparaison entre différents types d'assemblage de la puce sur son support. Cette méthode utilise une caméra thermique (placée en face avant de la puce) permettant de suivre la montée en température pour une puissance fixe injectée dans la puce ( $P=UI$ ). A l'issue de la mesure les courbes de température en fonction du temps permettent d'évaluer l'efficacité du refroidissement. Il est ainsi possible de mettre en évidence l'impact de la brasure, de l'épaisseur de la puce, et de la qualité des interfaces sur la capacité de l'empilement à évacuer les calories. Par un suivi de l'onde thermique sur plusieurs dizaines de milliseconde (pas inférieur à la milliseconde) nous avons ainsi pu mettre en évidence l'impact de l'amincissement d'un transistor de puissance sur sa température de fonctionnement à l'état passant. La méthode d'amincissement employé a permis de disposer d'échantillon d'épaisseur comprise entre quelques microns et 1mm.

10h00-10h30

**Pause café**

10h30-11h00 **Thermographie hétérodynée et thermoréfectance ponctuelle à haute résolution temporelle pour le diagnostic thermique de composants**

RIGOLLET Fabrice, Aix-Marseille Université, [fabrice.rigollet@univ-amu.fr](mailto:fabrice.rigollet@univ-amu.fr)

Certaines défaillances de composants microélectroniques se produisent au cours de transitoires thermiques, au moment de la mise en fonction du composant qui engendre un brusque appel de courant. Les moyens d'analyse à mettre en œuvre afin d'assurer la fiabilité de ces produits nécessitent d'avoir la capacité d'étudier ces transitoires et leur impact sur la fonctionnalité électrique des circuits. Le défi majeur est donc ici de cartographier la température de la surface des composants, parfois peu émissifs, avec une résolution temporelle de l'ordre de 0,1 $\mu$ s, et une résolution spatiale de 5  $\mu$ m, pour des températures pouvant aller au maximum jusqu'à 400°C a priori (résolution 1°C).

Dans cette présentation, nous décrivons et faisons la comparaison des résultats obtenus à l'aide de deux bancs de mesures mettant en œuvre des techniques différentes :

- La Thermographie Infrarouge hétérodynée utilisant la 'Stroboscopie thermique' qui permet de répéter un phénomène thermique et de décaler légèrement (de 10 $\mu$ s) son acquisition à chaque occurrence pour créer artificiellement un signal avec une résolution de 10 $\mu$ s.
- La Thermoréfectance ponctuelle dont le principe est lié au fait que les variations de température de la surface du composant induisent des variations de sa réflectivité, qui induisent à leur tour des variations de niveau de flux d'un laser sonde se réfléchissant sur cette surface.

Les résultats obtenus ont permis la détermination de la température à la surface d'un composant pendant les transitoires rapides avec une résolution temporelle de 100ns (ThermoRéfectance ) et 10 $\mu$ s (InfraRouge) et une résolution spatiale de 5 $\mu$ m (ThermoRéfectance ) et 15 $\mu$ m (InfraRouge).

11h00-11h30 **Mesure de température Infrarouge en transitoire et cartographie en thermoreflectance sur HEMTs GaN dans les packages 2.5D**  
Dominique Carisetti, Thales RT, dominique.carisetti@thalesgroup.com

La connaissance précise de la température est un paramètre clé pour estimer les performances et prédire la fiabilité des composants à base de semi-conducteurs. La température de jonction des composants GaN HEMT impacte particulièrement les performances et la fiabilité des systèmes électroniques embarqués. Les applications de Thales nécessitent une estimation de la température en polarisation continue et pulsée pour la validation des modèles thermiques en régime permanent et transitoire.

Sachant qu'il est impossible de mesurer directement la température au point le plus chaud dans un canal, une approche courante consiste à mesurer la température de surface du transistor, puis à estimer la température du canal à l'aide d'un modèle de simulation. Dans cette présentation, nous expliquerons notre méthodologie en utilisant la thermographie IR sur l'infrascopie QFI. Les premiers résultats en thermoreflectance appliquée au GaN HEMTs seront également présentés. La thermoreflectance permet des mesures de température très proches du point chaud, minimisant ainsi l'impact et les possibles approximations dues à la simulation thermique.

11h30-12h00 **Mesure de température par spectrométrie Raman de HEMTs de la filière nitrure de gallium**  
Bertrand Boudart, Université de Caen, bertrand.boudart@unicaen.fr

Les transistors HEMTs de la filière nitrure de gallium se sont imposés dans de nombreux secteurs industriels civils et militaires. La densification importante des composants et l'augmentation des densités de puissance engendrent des échauffements localisés pouvant être importants. Dans une optique de fiabilité des systèmes, il est donc primordial de pouvoir estimer la température « au plus juste ».

Les méthodes optiques de caractérisation de température permettent des mesures très localisées. Dans cet exposé, nous présenterons les principes de la diffusion Raman, mais aussi les différentes possibilités de mesurer la température de fonctionnement d'un composant électronique par spectroscopie Raman et ce, à l'échelle du micromètre et à différentes profondeurs. Ces performances sont uniques. Nous montrerons la richesse de la technique mais aussi ses difficultés.

L'exposé, qui n'est pas réservé à des initiés, sera illustré de nombreux exemples issus de la littérature ou obtenus récemment au laboratoire GREYC sur des HEMTs GaN et ouvrant de nouvelles perspectives à cette méthode de caractérisation.

**Jeudi 7 juin**

**Session N°5 “ ANALYSE DE DEFAILLANCE DES COMPOSANTS DE PUISSANCE”**

16h00-16h05 **Introduction de la session**

David LOHIER, HIREX Engineering – [d.lohier@hirex.fr](mailto:d.lohier@hirex.fr)

David TREMOUILLES, LAAS CNRS – [david.tremouilles@laas.fr](mailto:david.tremouilles@laas.fr)

Mehdi KANOUN, EDF R&D – [mehdi.kanoun@edf.fr](mailto:mehdi.kanoun@edf.fr)

16h05-16h25 **Tenue en court-circuit de MOSFET SiC**

François BOIGE, LAPLACE– [francois.boige@laplace.univ-tlse.fr](mailto:francois.boige@laplace.univ-tlse.fr)

Nous avons étudié le comportement de MOSFETs en carbure de silicium (SiC) fabriqués par les principaux fondeurs en régime de court-circuit. Ce travail nous a permis d’avoir une vision de la robustesse de ces composants et des tendances actuelles des industriels sur la conception de leurs puces. Nous avons aussi mis en évidence deux propriétés intéressantes et inhabituelles de ces composants : l’apparition d’un courant de grille important durant le court-circuit (dizaines de mA), ainsi qu’un mode de défaut en « Fail-to-open » par un court-circuit entre la grille et la source du composant. Ce mode de défaut est très intéressant pour des applications sûres mais peut aussi être accompagné, pour un même composant, d’un mode de défaut plus « classique » en « fail-to-short ». Nous avons déterminé les conditions opératoires afin de « sélectionner » le mode de défaut voulu. Finalement, une analyse physique des puces défailtantes a montré une faiblesse des composants au niveau de la grille, en surface et dans le volume.

16h25-16h55 **Etudes de cas sur SiC**

Cécile Neveu, DGA Maîtrise de l’Information, [cecile.neveu@intradef.gouv.fr](mailto:cecile.neveu@intradef.gouv.fr)

Les technologies de puissance à base de SiC empruntent des étapes de process communes à celles du silicium. Elles présentent pour autant des spécificités liées à l’emploi de substrat en carbure de silicium. Ces substrats permettent d’obtenir des tensions de claquage importantes.

La présentation décrira le fonctionnement théorique d’un MOSFET et d’un JFET de puissance à base de SiC. Le premier cas d’étude réalisé lors d’une analyse de construction sur un MOSFET commercial traitera de l’importance de l’interface entre le substrat et l’oxyde de grille ainsi que de son lien avec les caractéristiques électriques du produit. Le second cas d’étude réalisé sur des prototypes de JFET défailtants montera des défauts cristallins dans l’épithaxie, l’importance de la passivation secondaire dans la tenue en tension des composants ainsi que la méthodologie utilisée sur un cas de défaillance complexe. La Figure 5.1 montre que la rugosité du SiC est de l’ordre de 10 nm à l’échelle de 0,2 µm. La Figure 5.2 montre un défaut cristallin à l’origine d’un défaut complexe empilé.

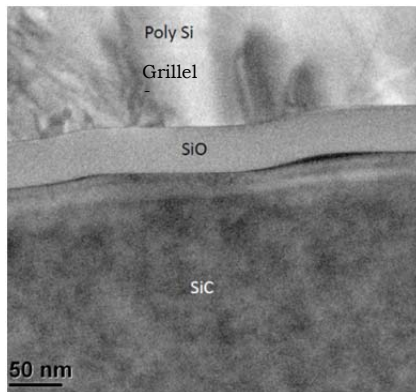


Figure 5.1 : HRTEM (Tescan Analytics) révélant la rugosité du SiC

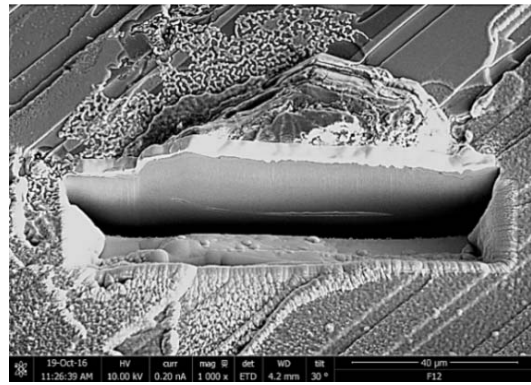


Figure 5.2 : vue MEB d'une coupe FIB révélant un défaut cristallin à l'origine d'un défaut complexe empilé

16h55-17h10 **Analyse non destructive des défauts internes de boîtiers plastiques pour les composants de puissance**

Tony MOINET, ST Microelectronics Tours – [tony.moinet@st.com](mailto:tony.moinet@st.com)

La fiabilité des composants électronique est relative à de nombreux facteurs dont la résistance du boîtier plastique au cours des essais de fiabilité d'un point de vue de l'herméticité et de la tenue mécanique. Afin de s'assurer de la fiabilité de ces boîtiers plastiques, il est nécessaire d'investiguer sur la présence de défaut à l'extérieur mais aussi à l'intérieur des boîtiers de manière rapide et répétitive permettant ainsi de vérifier un grand nombre de pièces. Quand, pour les défauts externes, une inspection optique permet la détection des défauts de surface, il est moins aisé de détecter la présence de défauts à l'intérieur du boîtier quand ceux-ci sont soit trop petits soit trop peu nombreux pour être détectés aux X-rays. La présentation concerne une méthodologie spécifique utilisant la microscopie acoustique afin d'assurer la détection des défauts à l'intérieur du boîtier.

17h10-17h30 **Méthodologie d'analyse pour la caractérisation de brasure de composants de puissance en Si**

Franck Alphonse, ST Microelectronics Tours– [franck.alphonse@st.com](mailto:franck.alphonse@st.com)

Depuis plusieurs années, l'Electronique de Puissance prend de plus en plus de place dans notre société, notamment dans les domaines de la grande distribution, de la communication, de la domotique, de l'automobile et bien d'autres. En parallèle, il existe une demande croissante pour des produits spatiaux ou aéronautiques fonctionnant dans des conditions extrêmes (température, humidité). La fiabilité de tels dispositifs est un point clé pour leur développement. Dans ce contexte, la contribution FRONT-END est importante, mais le BACK-END ne reste pas moins une étape essentielle pour garantir le bon fonctionnement et assurer le niveau de fiabilité requis. En particulier, le joint de brasure (ou die attach material) et ses interfaces (par ex. intermétalliques) jouent un rôle primordial, contribuant à la tenue mécanique, thermique et électrique du produit.

Les objectifs de cette présentation sont de revoir les méthodes de caractérisation des brasures (et interfaces) et de fournir des lignes directrices aux analystes. Après une brève description de cette zone d'intérêt (die attach+interfaces) et des paramètres qui la caractérise, nous aborderons les différentes techniques de préparation d'échantillons (section transversale, section longitudinale, retrait couche par couche chimiquement) pour les composants de puissance encapsulés. Les techniques de caractérisation

principales seront revues (analyse non destructive, microstructurale, physique, chimique). Basés sur ces résultats un flow d'analyse sera suggéré et appliqué à une série de composants de puissance (brasure PbSnAg) ayant subi du cyclage thermique.

## **Vendredi 8 juin**

### **Session N°6 “ Apport de la simulation à l'analyse de défaillance ”**

#### **10h30-12h00 Introduction de la session**

Alexandrine Guédon-Gracia, IMS-Bordeaux, [alexandrine.gracia@ims-bordeaux.fr](mailto:alexandrine.gracia@ims-bordeaux.fr)

Djemel Lellouchi, ELEMCA, [djemel.lellouchi@elemca.com](mailto:djemel.lellouchi@elemca.com)

#### **10h35-11h05 Apport de la simulation dans l'analyse de défaillance**

Hélène Frémont, IMS-Bordeaux, [helene.fremont@ims-bordeaux.fr](mailto:helene.fremont@ims-bordeaux.fr)

Loïc Théolier, IMS-Bordeaux, [loic.theolier@ims-bordeaux.fr](mailto:loic.theolier@ims-bordeaux.fr)

Les simulations numériques par éléments finis sont largement utilisées dans les études de fiabilité dans l'approche dite « physique de la défaillance ». Elles sont particulièrement utiles pour l'aide à la compréhension des mécanismes d'usure, correspondant à un taux de défaillance croissant avec le temps. Dans une moindre mesure, elles sont utilisées pour la partie « vie utile » pour modéliser des défaillances liées aux ESD ou aux EOS par exemple. On les retrouve aussi dans les démarches de « qualification virtuelle ».

Elles peuvent également être utiles pour orienter l'analyse de défaillance.

Après un rappel rapide du positionnement et du rôle des simulations dans une démarche de qualification et de fiabilisation, cette présentation donnera quelques exemples de leur utilisation dans la recherche d'un site de défaillance dans des assemblages microélectroniques.

#### **11h05-11h30 Modélisation 3D d'assemblage de type flip-chip**

Wiyao KPOBIE, CEA Tech Grand Est, [wiyao.kpobie@cea.fr](mailto:wiyao.kpobie@cea.fr)

La technologie flip chip est de plus en plus répandue dans l'industrie électronique (3D System in Package) et est principalement utilisée pour la fabrication de réseaux détecteurs de grand format (mégapixels) et faible pas. Pour étudier la fiabilité de ces assemblages, des simulations numériques basées sur des méthodes d'éléments finis semblent être l'approche la moins chère. Cependant, de très grands assemblages contiennent plus d'un million de billes de brasure, et le processus d'optimisation de ces structures par des simulations numériques se révèle être une tâche très fastidieuse. Dans de nombreuses applications, la couche d'interconnexion de tels assemblages flip chip se compose de microbilles de brasure noyées dans de l'époxy. Pour ces configurations, nous proposons une approche alternative, qui consiste à remplacer cette couche d'interconnexion hétérogène par un matériau homogène équivalent (MHE) (Figure 1). Un modèle micromécanique pour l'estimation de ses propriétés thermoélastiques équivalentes a été mis au point. La loi de comportement obtenue pour le MHE a ensuite été implémentée dans le logiciel par éléments finis. Les réponses thermomécaniques des assemblages testés soumis à des chargements correspondant aux conditions de fabrication ont été analysées. La technique d'homogénéisation-localisation a permis d'estimer les valeurs moyennes des contraintes et des déformations dans chaque phase de la couche d'interconnexion. Pour accéder plus

précisément aux champs de contraintes et déformations dans ces phases, un modèle de zoom structurel (submodeling), en tenant compte de la géométrie réelle de la bille de brasure, a été utilisé. Les champs de contrainte et de déformation locaux obtenus corroborent avec les initiations de dommage observées expérimentalement sur les billes de brasure.

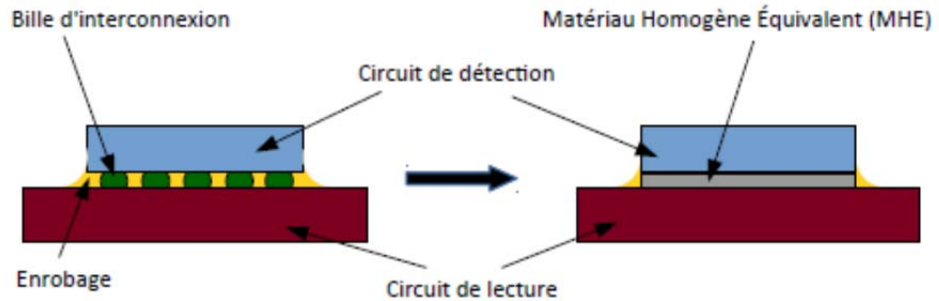


Schéma de l'homogénéisation de la couche d'interconnexion d'un assemblage flip chip

11h30-12h00

**Étude du comportement thermomécanique des joints de brasure 96,5Sn-3,0Ag-0,5 Cu (SAC305) : mesure de la réponse contrainte - déformation en cisaillement et recalage par simulation éléments-finis**

Jean-Baptiste Libot, SAFRAN ELECTRONICS & DEFENSE,  
[jean-baptiste.libot@safrangroup.com](mailto:jean-baptiste.libot@safrangroup.com)

Les assemblages électroniques sans plomb (SAC305) soumis à des chargements thermomécaniques (variations de températures) sont principalement sollicités en cisaillement. La taille de ces interconnexions est de l'ordre du micromètre ce qui ne permet pas une mesure directe de leurs contraintes et déformations. L'utilisation de jauges de déformation placées de façon adéquate sur l'assemblage électronique permet cependant de mesurer indirectement la réponse en cisaillement des joints de brasure identifiés comme critiques au cours d'un cycle thermique. Cette méthodologie de caractérisation permet de prendre en compte la microstructure réelle des joints brasés tout en faisant intervenir des chargements viscoplastiques réalistes. La réponse thermomécanique obtenue est une boucle d'hystérésis permettant de calculer un critère d'endommagement : la densité d'énergie de déformation (aire de la boucle). L'assemblage instrumenté de jauges est ensuite modélisé et une comparaison est faite entre les résultats numériques et expérimentaux. L'analyse de défaillance réalisée sur les billes de brasure fissurées permet en outre de mettre en évidence le phénomène de recristallisation caractéristique de l'endommagement thermomécanique des brasures SAC305.

